

(19) 대한민국특허청 (KR)
(12) 공개특허공보 (A)(51) Int. Cl. 7
H01L 27/10(11) 공개번호 특2003-0001106
(43) 공개일자 2003년01월06일(21) 출원번호 10-2001-0037444
(22) 출원일자 2001년06월28일(71) 출원인 주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1(72) 발명자 손현철
서울특별시강남구논현1동22번지논현아파트106-1001

(74) 대리인 특허법인 신성

심사청구 : 없음

(54) 원자층 증착법을 이용한 자기저항식 랜덤 액세스 메모리용 나노 소자 형성 방법

요약

본 발명은 반도체 소자 제조 방법에 관한 것으로, 특히 상기와 같은 핵심층들의 증착시 저온에서 원자층 증착법으로 자성 박막 및 산화막을 증착하여 두께 조절 및 막 표면의 평활도를 원자 단위로 까지 감소시키며, 구조의 안정성을 얻을 수 있는 원자층 증착법을 이용한 자기저항식 랜덤 액세스 메모리용 나노 소자 형성 방법을 제공하는데 그 목적이 있다. 이를 위해 본 발명은, 소정 공정이 완료된 기판 상에 전선통 한 후, 원자층 증착법에 하부 자성 박막을 형성하는 제1단계; 상기 하부 자성 박막 상에 원자층 증착법에 의한 중간 산화막을 형성하는 제2단계; 상기 중간 산화막 상에 상부 자성 박막을 형성하는 제3단계; 및 상기 상부 자성 박막 상에 급속배선을 형성하는 제4단계를 포함하여 이루어지는 원자층 증착법을 이용한 자기저항식 랜덤 액세스 메모리용 나노 소자 형성 방법을 제공한다.

대표도

도 2d

색인어

ALD, MRAM, TRM, GMR, CMR, CPP.

명세서

도면의 간단한 설명

도 1은 MRAM의 동작을 도시한 개략도.

도 2a 내지 도 2d는 본 발명에 따른 자기저항식 랜덤 액세스 메모리용 나노 소자 형성 공정을 도시한 단면도.

*도면의 주요 부분에 대한 부호의 설명

10 : 기판

11, 13 : 금속층

12, 17 : 절연막

14 : 하부 자성 박막

15 : 중간 산화막

16 : 상부 자성 박막

18 : 금속배선

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 자기저항식 랜덤 액세스 메모리(Magnetic Random Access Memory; 이하 MRAM이라 함) 제조 방법에 관한 것으로, 특히 원자층 증착법(Atomic Layer Deposition; ALD)을 이용한 테라급 MRAM용 나노 소자 형성 방법에 관한 것이다.

최근 정보기기의 고속도 및 고밀도, 휴대화가 진행됨에 따라 거대 자기저항(Giant MagnetoResistance, GMR)을 이용한 비휘발성 메모리 소자 및 MR 헤드에 관한 연구가 활발히 진행되고 있다. 현재 활발히 진행되고 있는 비휘발성 메모리 소자로서 FRAM과 MRAM이 있으며, 이와 같은 비휘발성 메모리 소자의 적용분야는 거의 모든 휴대용 정보기기로 확대되고 있는 추세이다.

특히, MRAM이란 MR박막재료의 자화상태를 이용하여 정보를 기억하는 기억 소자로서, 비휘발성 및 방사 경도(Radiation hardness)등의 특성을 나타내는 차세대 메모리 소자로 현재 연구 개발이 진행중이며 일보는 상용화되고 있다.

MR박막재료는 MR현상이 나타나는 재료 및 메카니즘에 따라 AMR, GMR, TMR, CMR 등으로 분류되며, 특히 GMR 및 TMR 박막재료는 실용화에 가장 근접한 재료로 알려져 있다.

이하 MRAM과 TMR의 동작 메카니즘에 대해 표 1 및 도 1을 참조하여 상세하게 살펴 본다.

1) MRAM의 기본 원리

MRAM은 미소 자성체의 스핀을 정보원으로 하는 비휘발성 고체 메모리라고 할 수 있다. 기존 DRAM에 비해 자기자성 소자의 자성스핀 방향전환을 위해 외부자계를 생성할 수 있는 장치가 하나 더 부가된 것이다. 따라서, 스핀의 방향만 변하면 기록재생신호가 생성되어 속도가 빠르고, 비휘발성이며, 구조가 간단하여 더욱 고집적적이 가능한 이점이 있다.

2) MRAM의 기대되는 특징

MRAM은 무한대의 기록재생에 대해 열화가 없으며, 200℃ 정도의 고온에서도 동작하는 것으로 알려졌다. 따라서, 군사적 용도 및 우주항공 분야에 적합하며, 우주 공간에서의 방사 손상에 영향을 받지 않는 특징도 있다. 뿐만아니라, 30 nsec 정도의 극히 짧은 시간 동안으로 고속 작동이 가능하며, 공정적으로 고집적화 및 고속화가 가능하고, 소비 에너지가 적으며, 비휘발성이므로 리부팅 및 데이터의 저장 안정성 면에서 기존 메모리에 비해 탁월한 특징이 기대된다.

[표 1]

	MRAM	DRAM	Flash(FRAM)	SRAM	FeRAM
비휘발성	Yes	No	Yes	No	Yes
기록시간(ns)	10 ~ 50	50	20000	10	100 ~ 130
재생시간(ns)	10 ~ 50	50	20 ~ 110	10	100 ~ 130
셀면적(상대치)	1이하	1	0.8	4	1.3
기록 반복 가능 회수	10^{15}	10^{15}	10^5	10^{15}	10^{12}
소비전력(Max)(mW)	10 ~ 400	400	100	1100	2

표 1은 각 메모리들의 특성을 도시하고 있는 바, 표 1에 도시된 바와 같이, 모든 면에서 DRAM을 능가하며, FeRAM과는 소비전력만 조금 높을 뿐 다른 면에서 원동히 뛰어난 특성을 나타내는 것을 알 수 있다.

Tunneling MagnetoResistance (TMR)

도 1을 참조하면, TMR 현상은 절연층으로 분리된 강자성체의 이중스핀의 상태 밀도(Density of state)가 서로 다르기 때문에 발생한다. 두 강자성 스핀(Spin) 사이에 터널링(Tunneling) 확률은 두 전극의 상대적 자화방향에 의해 지배된다. 두 자성체의 자화방향이 같으면 한 전극의 점유된 상태 수와 다른 전극의 점유 가능한 상태 수가 최대치로 일치되어 터널링 전류가 최대가 되고, 자화방향이 반대가 되면 터널링 전류가 최소가 된다.

따라서, 외부 자계에 따라 자성층간의 스핀배열의 평형, 반평형 상태로 변화하고 터널링 저항(전압)이 작거나 커지는 현상이 발생하며, 이러한 원리를 이용하여 기존 DRAM의 전하저장용 캐패시터를 대체한 저장셀(Storage cell)로써의 역할을 가능하게 한다.

TMR 재료는 다른 자기 저항(GMR, CMR 등) 재료에 비해 자기 저항비가 크고, 포화자계도 작으며, 전류가 CPP(Current Perpendicular to Plane) 모드로 흐르기 때문에 고집적이 가능하며 MRAM의 재료로 유리하다.

상기한 바와 같은 차세대 기억 소자로 예상되는 MRAM용 소자는 기본적으로 10nm 정도 되는 두 자성 박막 사이에 약 2nm 이하의 산화막 등의 3개의 핵심층으로 이루어지며, 자성 박막은 Co 또는 NiFe를 이용하는 바, 10nm 이하 두께의 자성 박막 및 2nm 이하의 산화막을 저온에서 증착할 필요가 있으며, 이때 전 웨이퍼 표면에서 원자 단위의 표면 거칠기 및 두께의 균일성(Uniformity)가 필수적이다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 종래기술의 문제점을 해결하기 위한 것으로서, 상기와 같은 핵심층들의 증착시 저온에서 원자층 증착법으로 자성 박막 및 산화막을 증착하여 두께 조절 및 막 표면의 평활도를 원자 단위로 까지 감소시키며, 구조의 안정성을 얻을 수 있는 원자층 증착법을 이용한 자기저항식 랜덤 액세스 메모리용 나노 소자 형성 방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기의 목적을 달성하기 위한 본 발명은, 소정 공정이 완료된 기판 상을 전세정 한 후, 원자층 증착법에 하부 자성 박막을 형성하는 제1단계; 상기 하부 자성 박막 상에 원자층 증착법에 의한 중간 산화막을 형성하는 제2단계; 상기 중간 산화막 상에 상부 자성 박막을 형성하는 제3단계; 및 상기 상부 자성 박막 상에 금속배선을 형성하는 제4단계를 포함하여 이루어지는 원자층 증착법을 이용한 자기저항식 랜덤 액세스 메모리용 나노 소자 형성 방법을 제공한다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.

도 2a 내지 도 2d는 본 발명의 일실시예에 따른 원자층 증착법을 이용한 자기저항식 랜덤 액세스 메모리용 나노 소자 형성 공정을 도시한 단면도이다.

먼저 도 2a에 도시된 바와 같이, 전도층(11)이 형성된 기판(10) 상에 산화막 등의 절연막(12)을 증착한 다음, 절연막(12)을 선택적으로 식각하여 금속배선 콘택을 위한 트렌치(20)를 형성한 후, 트렌치(20) 내부에 리세스된 전도층(13)을 형성한 후, 전세정(Pre-cleaning) 공정을 실시한다.

이어서, Ni/Fe용 전구체를 이용하여 300℃ 내지 400℃의 온도를 유지하며 단위자층씩 증착하는 과정을 반복하여 원하는 두께가 되도록 함으로써 하부 자성 박막(14)을 형성한다. 즉, ALD를 이용하는 바, 자성 박막 물질로는 Ni/Fe 또는 Co 등을 이용하며, Co를 형성하기 위한 전구체는, $\text{Co}(\text{C}_5\text{H}_5)_2$, $\text{Co}_2(\text{CO})_8$, $\text{Co}(\text{C}_5\text{H}_5)$ 또는 $\text{CoCF}_3(\text{CO})_2$ 등을 이용한다.

다음으로 도 2b에 도시된 바와 같이, 하부 자성 박막(14) 상에 중간 산화막(15)을 형성하는 바, Si와 O₂를 포함하는 전구체를 이용하여 원자층 증착법을 이용한다.

다음으로 도 2c에 도시된 바와 같이, 중간 산화막(15) 상에 상부 자성 박막(16)을 형성하는 바, 상기 하부 자성 박막(14)과 동일한 조건에 의해 형성한다.

다음으로 도 2d에 도시된 바와 같이, 금속배선(18)을 형성하여 TMR 소자를 완성하는 바, 이웃하는 소자와는 절연막(17)에 의해 격리된다.

상기한 바와 같이 이루어지는 본 발명은, 원자층 증착법을 이용하여 TMR 소자를 형성함으로써, Cu 배선용 확산 방지막을 형성함으로써, 두께 조절 및 막 표면의 평활도를 향상시킬 수 있음을 실시예를 통해 알아 보았다.

본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

발명의 효과

상술한 바와 같은 본 발명은, 원자층 증착법을 이용하여 자기저항식 랜덤 액세스 메모리용 나노 소자를 형성함으로써, 균일한 막 형성 및 막 두께 조절을 가능하게 하여 궁극적으로, 자기저항식 랜덤 액세스 메모리 소자의 특성 향상 및 수율향상을 동시에 이룰 수 있는 탁월한 효과를 기대할 수 있다.

(57) 청구의 범위

청구항 1.

반도체 소자 제조 방법에 있어서,

소정 공정이 완료된 기판 상을 전세정 한 후, 원자층 증착법에 하부 자성 박막을 형성하는 제1단계;

상기 하부 자성 박막 상에 원자층 증착법에 의한 중간 산화막을 형성하는 제2단계;

상기 중간 산화막 상에 상부 자성 박막을 형성하는 제3단계; 및

상기 상부 자성 박막 상에 금속배선을 형성하는 제4단계

를 포함하여 이루어지는 원자층 증착법을 이용한 자기저항식 랜덤 액세스 메모리용 나노 소자 형성 방법.

청구항 2.

제 1 항에 있어서,

상기 하부 자성 박막과 중간 산화막 및 상부 자성 박막의 증착시, 300℃ 내지 400℃의 온도를 유지하며 실시하는 것을 특징으로 하는 원자층 증착법을 이용한 자기저항식 랜덤 액세스 메모리용 나노 소자 형성 방법.

청구항 3.

제 1 항에 있어서,

상기 중간 산화막은, Al_2O_3 또는 Ta_2O_5 중 어느 하나인 것을 특징으로 하는 원자층 증착법을 이용한 자기저항식 랜덤 액세스 메모리용 나노 소자 형성 방법.

청구항 4.

제 1 항에 있어서,

상기 하부 및 상부 자성 박막은, $NiFe$ 또는 Co 중 어느 하나인 것을 특징으로 하는 원자층 증착법을 이용한 자기저항식 랜덤 액세스 메모리용 나노 소자 형성 방법.

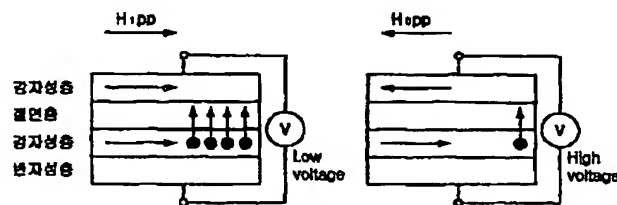
청구항 5.

제 4 항에 있어서,

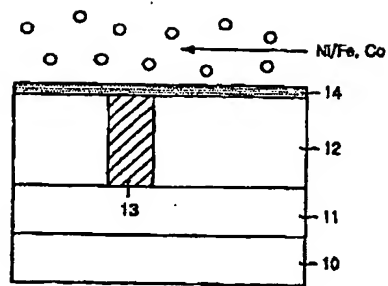
상기 Co 를 형성하기 위한 전구체는, $Co(C_5H_5)_2$, $Co_2(CO)_8$, $Co(C_5H_5)$ 또는 $CoCF_3(CO)_2$ 중 어느 하나인 것을 특징으로 하는 원자층 증착법을 이용한 자기저항식 랜덤 액세스 메모리용 나노 소자 형성 방법.

도면

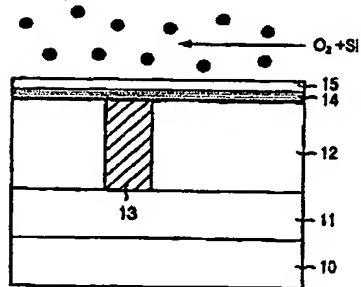
도면 1



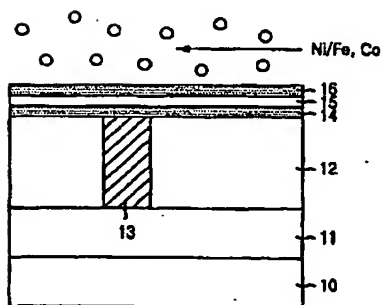
도면 2a



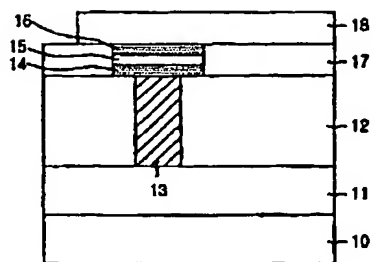
도면 2b



도면 2c



도면 2d



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.